**多周期的MIPS CPU 设计实验实验报告**

实验小组成员：

061800332谢楠

031802523林潇潇

031802526刘振东

实验分工：

（谢楠）单周期MIPS硬布线控制器、设计多周期MIPS微程序布线、设计多周期微程序控制器、设计微程序地址转移逻辑、实验检验与答辩

（林潇潇）设计多周期的硬布线控制器、连接控制器和数据通路

（刘振东）CPU指令执行测试

1. **实验目的**
2. 进一步了解硬布线控制的设计方法。
3. 能够综合利用相关原理在原有的单周期的MIPS CPU基础上进行优化改进，实现8条指令的多周期运行。
4. **实验任务说明**
5. 单周期MIPS硬布线控制器
6. 设计多周期MIPS微程序布线
7. 设计多周期微程序控制器
8. 设计微程序地址转移逻辑
9. 设计多周期的硬布线控制器

7.连接控制器和数据通路

8.CPU指令执行测试

**三．实验过程**

和单周期CPU的设计相同，都是为了实现一系列的指令功能，但需要指出的是何为多周期（注意与前面写道的单周期的区别，这也是设计的关键之处）

多周期CPU指的是将整个CPU的执行过程分成几个阶段，每个阶段用一个时钟去完成，然后开始下一条指令的执行，而每种指令执行时所用的时钟数不尽相同，这就是所谓的多周期CPU。

(1) 取指令(IF)：根据程序计数器pc中的指令地址，从存储器中取出一条指令，同时，pc根据指令字长度自动递增产生下一条指令所需要的指令地址，但遇到“地址转移”指令时，则控制器把“转移地址”送入pc，当然得到的“地址”需要做些变换才送入pc。

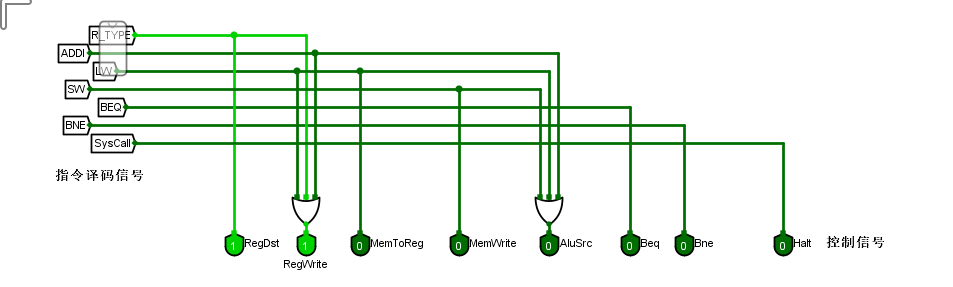
(2) 指令译码(ID)：对取指令操作中得到的指令进行分析并译码，确定这条指令需要完成的操作，从而产生相应的操作控制信号，用于驱动执行状态中的各种操作。

(3) 指令执行(EXE)：根据指令译码得到的操作控制信号，具体地执行指令动作，然后转移到结果写回状态。

(4) 存储器访问(MEM)：所有需要访问存储器的操作都将在这个步骤中执行，该步骤给出存储器的数据地址，把数据写入到存储器中数据地址所指定的存储单元或者从存储器中得到数据地址单元中的数据。

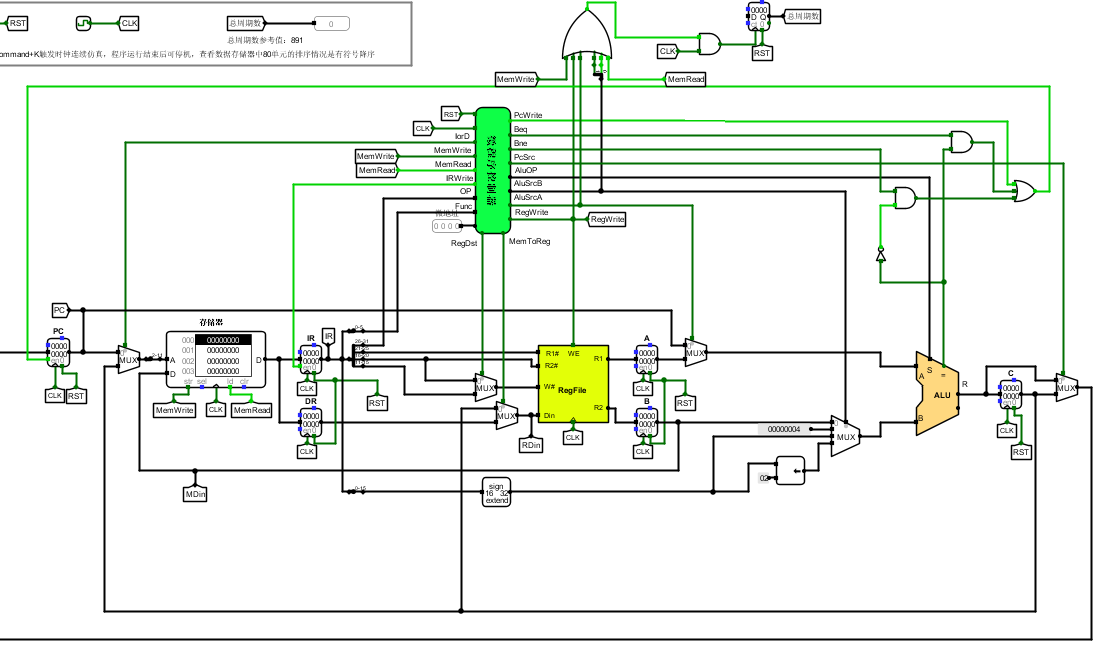
(5) 结果写回(WB)：指令执行的结果或者访问存储器中得到的数据写回相应的目的寄存器中。

实验中就按照这五个阶段进行设计，这样一条指令的执行最长需要五个(小)时钟周期才能完成，但具体情况怎样？要根据该条指令的情况而定，有些指令不需要五个时钟周期的，这就是多周期的CPU。**1.单周期MIPS硬布线控制器**

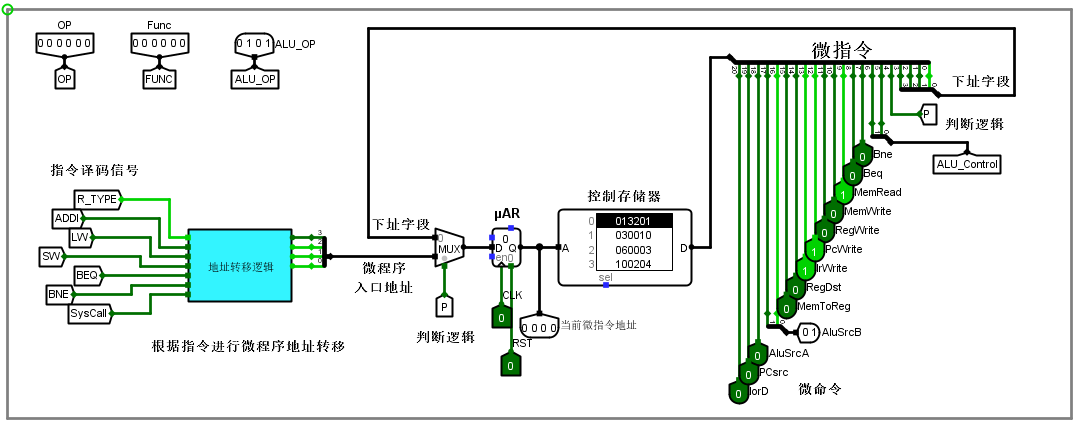


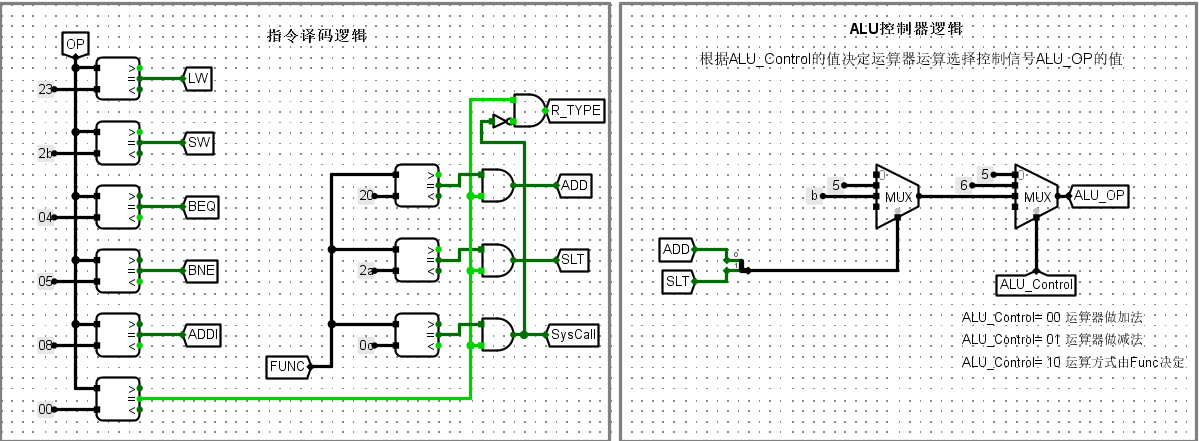
**2.多周期MIPS微程序布线设计**

设计思路：与单周期MIPS的差别不大，主要是将微指令控制器改为硬布线控制器，同时增加寄存器作为控制信号，完成对指令执行的控制。



1. **多周期微程序控制器设计**

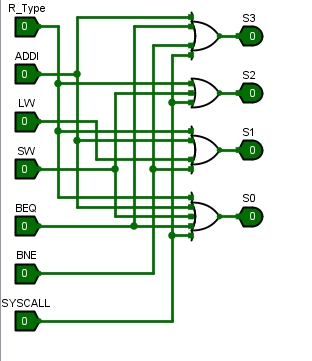




用OP，FUNC通过比较得到ADD和SLT，再丢入ALU做运算

1. **微程序地址转移逻辑**

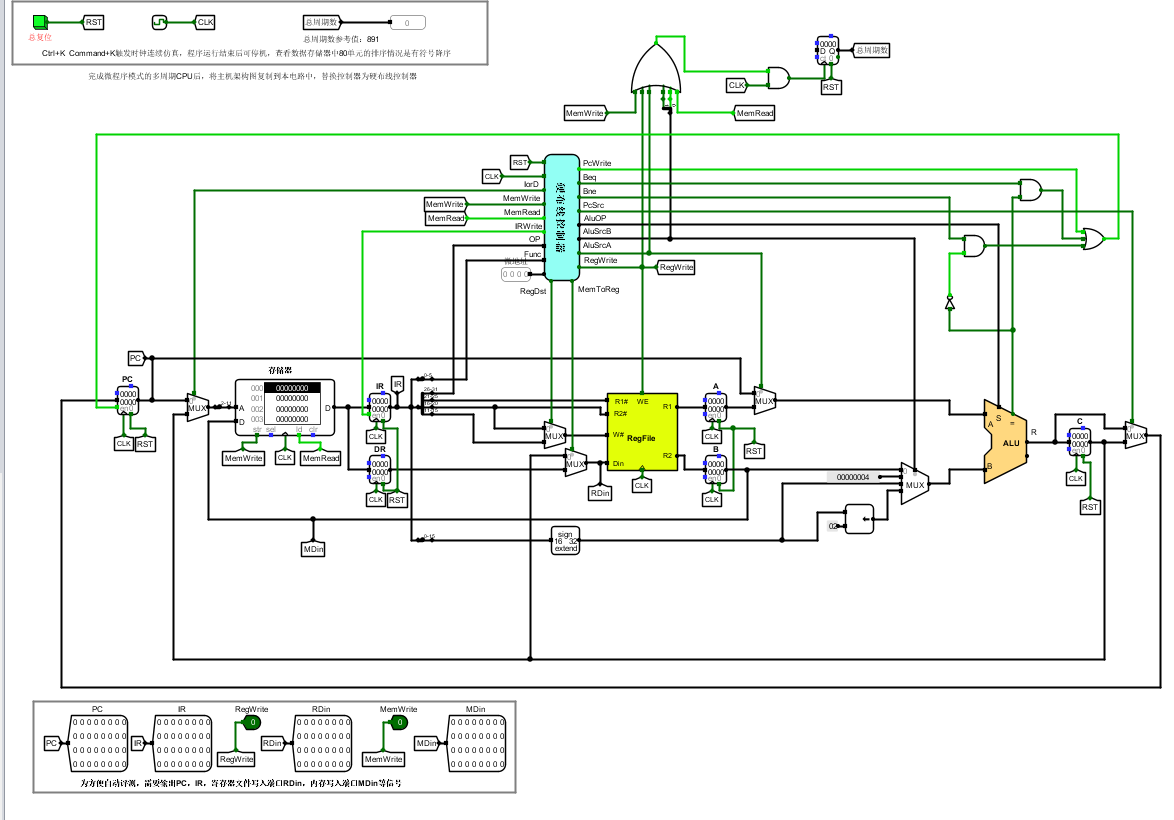
设计思路：通过增加状态机实现每条指令在多个周期都能完成对应寻址和地址转移，保证每条指令在每个周期内都能正确执行。划分指令的执行步骤，画出指令的流程图，给出指令流程表，并为每个指令执行步骤设计状态机，为每个步骤的控制型号设计控制信号生成逻辑。状态的转移有的是无条件的，例如从IF状态转移到ID 和 EXE状态就是无条件的；有些是有条件的，例如ID 或 EXE状态之后不止一个状态，到底转向哪个状态由该指令功能，即指令操作码决定。每个状态代表一个时钟周期。



1. **多周期MIPS CPU硬布线设计**

设计思路：单周期CPU的指令和数据都保存在同一个存储器中，同时许多部件保持数据的时间过长，使数据无法复用。而多周期数据通路的设计可以考虑在组合逻辑电路中插入寄存器，从而实现数据通路的切分，将大的组合逻辑电路切分为若干个小组合，将本来比较大的延迟分为多段的小延迟，同时实现不同指令执行时能占用不同的功能单元。从而实现将单周期CPU变为多周期CPU。下图是一个简单的基本上能够在单周期上完成所要求设计的指令功能的数据通路和必要的控制线路图。其中指令和数据各存储在不同存储器中，即有指令存储器和数据存储器。访问存储器时，先给出地址，然后由读/写信号控制（1-写，0-读。当然，也可以由时钟信号控制，但必须在图上画出来）。对于寄存器组，读操作时，给出寄存器地址（编号），输出端就直接输出相应数据；而在写操作时，在 WE使能信号为1时，在时钟边沿触发写入。

特别提示，图上增加IR指令寄存器，目的是使指令代码保持稳定，还有pc增加写使能控制信号pcWre，也是确保pc适时修改，原因都是和多周期工作的CPU有关。ADR、BDR、ALUout、ALUM2DR四个寄存器不需要写使能信号，其作用是切分数据通路，将大组合逻辑切分为若干个小组合逻辑，大延时变为多个分段小延时



**5.**

**6.CPU运行测试以及结果**



1. **实验心得体会**

进一步掌握了硬布线控制器的设计方法，学会了多周期MIPS CPU的设计方法和具工作体原理。